

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PAT-NO: JP409232682A

DOCUMENT-IDENTIFIER: JP 09232682 A

TITLE: METHOD OF MANUFACTURING SEMICONDUCTOR OPTICAL
ELEMENT

PUBN-DATE: September 5, 1997

INVENTOR-INFORMATION:

NAME

TANIWATARI, TAKESHI

HAGA, TORU

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP08036028

APPL-DATE: February 23, 1996

INT-CL (IPC): H01S003/18, H01L021/027

ABSTRACT:

PROBLEM TO BE SOLVED: To improve the bond properties of mesa striped mask by a method wherein a striped insulating film mask is formed to be connected to all stripes at wafer ends.

SOLUTION: A striped mask pattern for the formation of mesa stripes formed on a wafer 1 is provided with alignment marks 3, besides, in order to avoid the mesa stripe release, band type patterns 16 wherein both ends of stripes are connected to all adjacent stripes as well as three of striped patterns 17 orthogonal to all halfway mesa stripes to avoid the release of all mesa stripes when mesa stripe mask 2 is released. With such constitution, a photomask pattern is not provided with the band type patterns 16 but after the formation of pattern by a photomask, the band type patterns 16 may be formed by spreading a resist by using a writing brush.

COPYRIGHT: (C) 1997, JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-232682

(43)公開日 平成9年(1997)9月5日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 S 3/18			H 0 1 S 3/18	
H 0 1 L 21/027			H 0 1 L 21/30	5 0 2 P

審査請求 未請求 請求項の数4 O L (全 4 頁)

(21)出願番号 特願平8-36028

(22)出願日 平成8年(1996)2月23日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 谷渡 剛

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所光技術開発推進本部内

(72)発明者 芳賀 徹

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所光技術開発推進本部内

(74)代理人 弁理士 小川 勝男

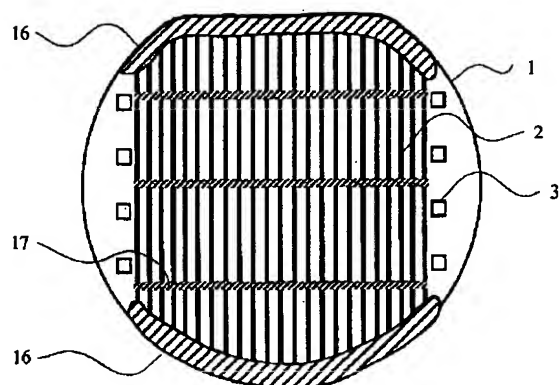
(54)【発明の名称】 半導体光素子の製造方法

(57)【要約】

【課題】メサストライプマスクと半導体層の密着性を向上し、埋込成長による電流狭窄層形成工程におけるメサストライプマスク剥がれを防止する。

【解決手段】メサストライプマスク2と半導体層の密着性を向上させるために、メサストライプ端部が全て隣合うメサストライプと連続につながっている帯状パターン16と、メサストライプの途中に全てのメサストライプと直交するストライプパターン17を形成する。

図5



【特許請求の範囲】

【請求項1】半導体基板上に結晶成長を用いて少なくともバッファ層、活性層、クラッド層、キャップ層を順次積層する工程と、ストライプ状の絶縁膜マスクを形成する工程と、エッチングによりメサストライプを形成する工程と、結晶成長を用いて上記メサストライプの両側に電流狭窄層を形成する工程と電流コンタクト層を形成する工程を有する半導体光素子の製造方法において、上記ストライプ状絶縁膜マスクを形成する際、上記ストライプ状絶縁膜マスクがウェハ端部で全てのストライプと連続でつながっているよう形成することを特徴とする半導体光素子の製造方法。

【請求項2】半導体基板上に結晶成長を用いて少なくともバッファ層、活性層、クラッド層、キャップ層を順次積層する工程と、ストライプ状の絶縁膜マスクを形成する工程と、エッチングによりメサストライプを形成する工程と、結晶成長を用いてメサストライプの両側に電流狭窄層を形成する工程と電流コンタクト層を形成する工程を有する半導体光素子の製造方法において、上記ストライプ状絶縁膜マスクを形成する際、上記ストライプ状絶縁膜マスクとそれと直交するストライプパターンを少なくとも1本は有するよう形成することを特徴とする半導体光素子の製造方法。

【請求項3】請求項2において、上記ストライプ状絶縁膜マスクと直交するストライプパターンは全てのストライプ状絶縁膜マスクと連続で直交している半導体光素子の製造方法。

【請求項4】請求項1、2または3のいずれかに記載の半導体光素子の製造方法により半導体レーザアレイを製作する半導体光素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は埋込型半導体レーザに係り、特に、半導体レーザアレイ素子の製造に有効な技術に関する。

【0002】

【従来の技術】埋込型半導体レーザは低閾値電流等に優れているため広く使用され、特に光通信光源として用いられている。

【0003】埋込型半導体レーザの製造方法は、一般にバッファ層、活性層、クラッド層、キャップ層等が結晶成長により順次形成された半導体基板上に、メサエッチングマスクおよび埋込成長時のメサストライプ上への成長防止を兼ねた SiO_2 等のストライプ状絶縁膜マスクをフォトリソグラフィにより設け、エッチングによりメサストライプを形成し、メサストライプの両側に電流狭窄層を埋込成長する工程が用いられる。図1は2インチウェハ1上に施されたメサストライプ形成用マスクパターン1の一例であり、メサストライプマスク2と合わせマーク3が形成されている。

【0004】

【発明が解決しようとする課題】しかし、図1に示す様なメサエッチングマスクを用いてメサエッチングを行い、次に埋込成長を行うと、埋込成長時のメサストライプ上への成長防止膜であるメサストライプマスク2がメサ上部から剥がれ、メサ上部に電流狭窄層が形成されレーザが発振となる問題があった。

【0005】図2にメサストライプマスク剥がれない正常な電流狭窄層形成後のメサストライプの断面図を、図3にメサストライプマスク剥がれが生じた電流狭窄層形成後のメサストライプの断面図を示す。特にアレイ素子の場合、メサストライプマスク剥がれが生じたチャンネルが発振となるため歩留まりの低下に大きく影響した。

【0006】

【課題を解決するための手段】メサエッチングを行うと、ウェハ周辺部のエッチング速度が速いためウェハ端部では過剰なエッチングによりメサ幅が極端に小さくなったりメサが消失する。これによりウェハ周辺部ではメサストライプマスクと半導体層と密着している幅が非常に小さくなり、メサストライプマスクの半導体層との密着性が低下し、ウェハ端部のメサストライプ両端からメサ剥がれが発生する。

【0007】本発明はメサストライプマスクと半導体層の密着性、特にウェハ端部でのメサストライプマスクの密着性を向上させるために、隣合うメサストライプと連続でつながっている帯状パターン又はメサストライプの途中に全てのメサストライプと直交するストライプパターンを設け、メサストライプマスク剥がれを防止する。

【0008】

【発明の実施の形態】本発明の一実施例を図4ないし図6を用いて、以下に示す。

【0009】本発明を用いて作製した半導体レーザアレイの1チャンネルの断面図を図4に示す。p型のInP基板7上に有機金属気相成長法によりp型のInPバッファ層8、活性層9、n型InPクラッド層10、n型のInGaAsPキャップ層11を順次成長し熱CVD法により SiO_2 膜を形成した。次にフォトリソグラフィによりレジストパターンを形成し、 SiO_2 膜をエッチングし、レジストを除去した。

【0010】図5に2インチウェハ1上に形成されたメサストライプ形成用マスクパターンを示す。ストライプ状マスクパターンは合わせマーク3を有し、このほかメサストライプマスク剥がれ防止のため、ストライプ両端が全て隣合うストライプと連続につながっている帯状パターン16と、メサストライプマスク2が剥がれた場合に、メサストライプマスク2全てが剥がれないように、メサストライプの途中に全てのメサストライプと直交するストライプパターン17を3本具備した。メサストライプ形成用マスクパターンは、フォトマスクにより形成

しても良いが、ウェハ形状の自由度を広げるために、帯状パターン16はフォトマスクパターンには設けずフォトマスクによるパターン形成後、筆などを用いてレジストを塗り、帯状パターン16を形成することも可能である。

【0011】次にHBrと H_2O_2 と H_2O の混合エッチャントによりウェットエッチングを行い所定の形状にメサを形成し、有機金属気相成長法によりp型InP層4、n型InP電流ブロック層5、p型InP層6を成長しメサ両側へ電流狭窄層を形成した。メサストライプマスク2をHFにより除去し、メサ上のn型InGaAsPキャップ層11を H_2SO_4 と H_2O_2 と H_2O の混合エッチャントにより除去し、有機金属気相成長法によりn型InP層12、n型InGaAsPコンタクト層13を形成した。ウェハ表面にn電極14を形成し、ウェハ裏面に研磨し裏面全面にp電極15を形成した。次に劈開により12チャンネルの半導体レーザアレイ素子を作製した。

【0012】図6は実施例に基づき作製した12チャンネルの半導体レーザアレイ素子を示す。

【0013】実施例では半導体レーザアレイ素子を例に挙げたが、本発明は全ての埋込型半導体レーザに適用できる。

【0014】

【発明の効果】本発明の埋込型半導体レーザは、メサストライプ形成用マスクにメサ剥がれ防止のため隣合うメサストライプ両端と連続でつながっている帯状パターン16とメサストライプの途中に全てのメサストライプと直交するストライプパターン17を設けたことを特徴としたものであり、これによりメサストライプマスク2と半導体層の密着性、特にウェハの端に位置するメサスト

ライプ両端の密着性が向上し、メサストライプマスク2のメサ剥がれを防止できる。その結果メサ剥がれによるレーザの不発振を除去出来、半導体レーザ、特に半導体レーザアレイの高い作製歩留まりが得られる。

【0015】なお図7に示す様なメサストライプ両端の帯状パターン16のみでもメサストライプマスク2と半導体層の高い密着性が得られる。そのため従来のフォトマスクを用いてフォトレジパターン形成後、筆などを用いてレジストを塗るだけで容易に密着性の高いメサストライプ形成用マスクパターンを形成することが可能である。

【図面の簡単な説明】

【図1】従来のメサストライプ形成用マスクパターンの平面図。

【図2】正常な電流狭窄層形成後のメサ近傍の断面図。

【図3】メサマスク剥がれの生じた電流狭窄層形成後のメサ近傍の断面図。

【図4】本発明を用いて作製した半導体レーザアレイの1チャンネルの断面図。

【図5】本実施例を説明するためのメサストライプ形成用マスクパターンの平面図。

【図6】本実施例を説明するための半導体レーザアレイ素子の平面図。

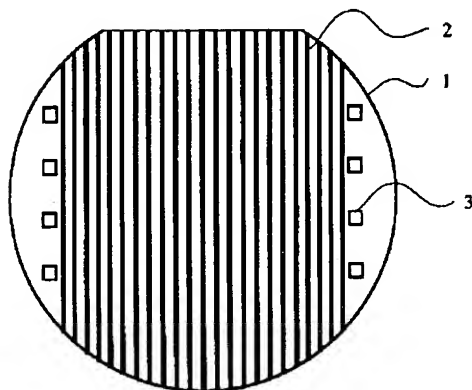
【図7】帯状パターンのみを施したメサストライプ形成用マスクパターンの平面図。

【符号の説明】

1…2インチウェハ、2…メサストライプマスク、3…合わせマーク、16…帯状パターン、17…ストライプパターン。

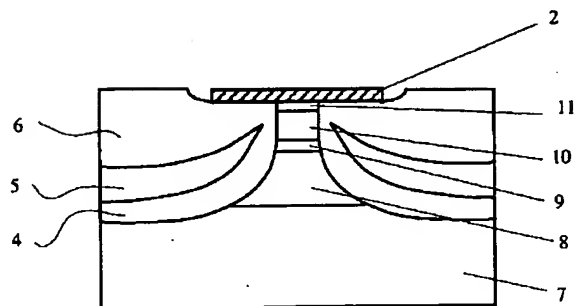
【図1】

図1



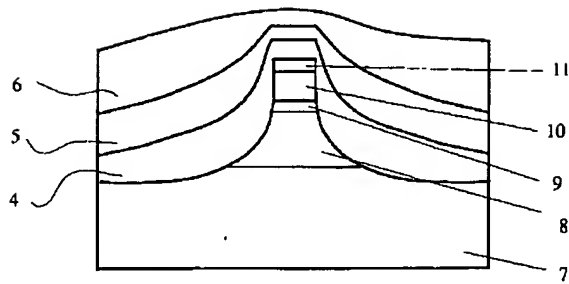
【図2】

図2



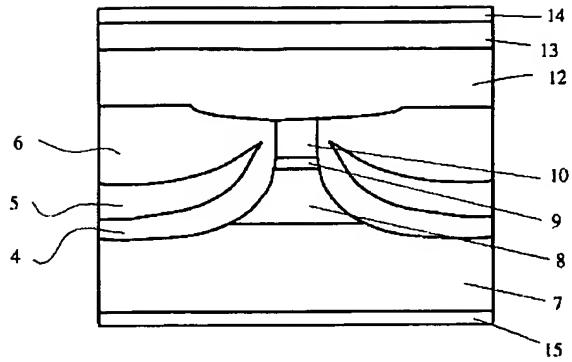
【図3】

図3



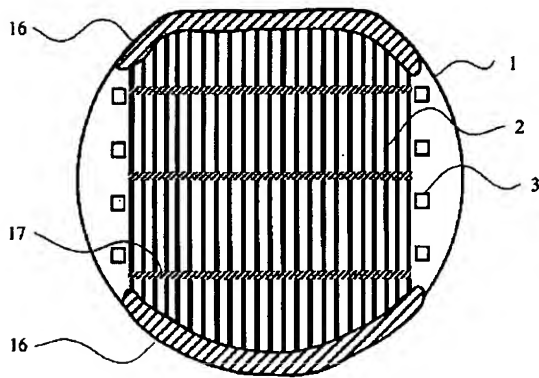
【図4】

図4



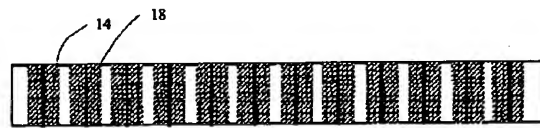
【図5】

図5



【図6】

図6



【図7】

図7

